日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 Date of Application:

2003年 9月26日

出 願 番 号 Application Number:

特願2003-334784

[ST. 10/C]:

[JP2003-334784]

出 願 人
Applicant(s):

沖電気工業株式会社

特許庁長官 Commissioner, Japan Patent Office 2004年 2月18日







【書類名】特許願【整理番号】0G004816【あて先】特許庁長官殿【国際特許分類】H01L 21/302

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 高橋 陽

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994 【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

 【物件名】
 明細書 1

 【物件名】
 図面 1

 【物件名】
 要約書 1

 【包括委任状番号】
 9720320



【書類名】特許請求の範囲

【請求項1】

N型ポリシリコンゲート及びP型ポリシリコンゲートが同時に配置される半導体装置において、ポリシリコンゲートエッチングのためのノンドープポリシリコンのダミーゲートを、前記N型ポリシリコンゲート及びP型ポリシリコンゲートの全面積よりも多い面積で配置したことを特徴とする半導体装置装置。

【請求項2】

前記N型ポリシリコンゲート及び前記P型ポリシリコンゲートの不純物はそれぞれリン及びボロンであることを特徴とする請求項1記載の半導体装置装置。

【請求項3】

N型ポリシリコンゲート及びP型ポリシリコンゲートを同時にゲートエッチングする半導体装置のドライエッチング方法において、ポリシリコンゲートエッチングのためのノンドープポリシリコンのダミーゲートのエッチング面積を、前記N型ポリシリコンゲート及びP型ポリシリコンゲートの全面積よりも多くしてエッチングすることを特徴とする半導体装置装置のドライエッチング方法。

【請求項4】

前記ゲートエッチングは、2段階エッチングであることを特徴とする請求項3記載の半 導体装置装置のドライエッチング方法。

【請求項5】

前記2段階エッチングは1段階がHBrとO2の混合ガス、2段階がHBr, O2及びHeの混合ガスであることを特徴とする請求項4記載の半導体装置装置のドライエッチング方法。



【書類名】明細書

【発明の名称】半導体装置のドライエッチング方法

【技術分野】

$[0\ 0\ 0\ 1]$

本発明は半導体装置のドライエッチング方法に関し、特にN型ポリシリコンゲート及びP型ポリシリコンゲートが混在して存在する半導体装置のドライエッチング方法に関するものである。

【背景技術】

[00002]

LSIの高速化、低消費電力化の要請を受けて、半導体素子の微細化は確実に進んでいる。特にゲート電極製造工程に関しては形成精度がトランジスタの性能につながり、ひいてはLSI全体の能力に大きく関わるため、特に厳しい要求が突きつけられている。寸法精度の向上と同時に、トランジスタの駆動力向上への要求も挙げられている。これまでのデバイスではゲートへの不純物ドープはゲートのパターニング形成後に、ソースドレインイオン注入工程時に自己整合的におこなわれるのが一般的であった。

[0003]

この場合、ゲートのパターニング工程ではノンドープのポリシリコン(Poly-Si)電極のみをエッチングすれば良かった。しかし、この方法ではトランジスタの駆動力を十分に稼ぐことができない為、エッチング前に予めゲート電極へ不純物のドープを行う方式(以下、デュアルゲート方式と呼ぶ)が採用され始めている。この方式では、エッチングの際しては、パターンの疎密差による寸法差に加えて、不純物の種類および不純物濃度による寸法差を考慮する必要が生じる。

$[0\ 0\ 0\ 4]$

図1にデュアルゲート方式を採用した場合の寸法測定結果を示す。N型ポリシリコンゲートの寸法を一定に制御するようにエッチング条件を設定した場合、P型ポリシリコンゲートの寸法は大きく変化する。不純物のイオン注入量が少ない場合には寸法差がほとんどないのに対し、各ゲートにリン (P)とボロン (B)をそれぞれドーズ量5E15cm-2のイオン注入をした場合には 0.037 μm程度の寸法差が発生する。つまり、濃度差にほぼ比例して2種類の異なるゲート領域での寸法差が広がってしまうことがわかる。

[0005]

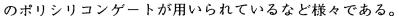
例えば、メインステップ(HBr/O2=100/3 sccm 上部電源/下部=250W/30W 圧力1Pa 温度60°)及びオーバエッチングステップ(HBr/O2/He=100/2/100 sccm 上部電源/下部=250W/50W 圧力8Pa 温度60°)の通常の2段階のドライエッチングを行なう場合、メインステップにおける終点検出はエッチングレートの早いN型ポリシリコンゲート領域で生じ、終点検出時にはまだP型ポリシリコンゲート領域のポリシリコンは残っており、次のオーバエッチングステップであるオーバエッチ条件で残りのポリシリコンがエッチングされるため、図2に示すようにP型ポリシリコンゲートはテーパ形状になると想定される。この傾向はパターンの疎密に依らず発生する。

[0006]

一方、LSIの縮小化に伴いデザインルールが厳しくなる、ホトリソグラフィでのマージン確保のために層間絶縁膜の化学機械研磨等による平坦化技術が非常に多くのデバイスで適用されている。しかしパターン密度の不均一のためにウェハ各箇所にかかる圧力が変わる為、研磨の場合、研磨量にパターン密度依存が生じることがわかっており、その対策としてダミーパターンを作成してウェハ内のパターン密度差を減らすような工夫が導入されている。

$[0\ 0\ 0\ 7\]$

また、ポリシリコン層はトランジスタのゲート電極の他に、抵抗配線やキャパシタ電極等の多種の素子に用いられており、導入する不純物種や濃度も様々であり、それに応じてイオン注入条件も多様になっている。デバイスによっては、同一ウェハ上でイオン注入される領域とされない領域が混在している場合や、全くイオン注入されていないノンドープ



[0008]

【特許文献1】特開2000-58511

【特許文献2】特開2000-164732

【特許文献3】特開平11-204506

【発明の開示】

【発明が解決しようとする課題】

[0009]

上述のように、デュアルゲート方式のデバイスにおいては、N型ポリシリコンゲートとP型ポリシリコンゲートを同時にドライエッチングを行なった場合、同一の仕上がり寸法に制御することが困難であるという問題があった。その結果、トランジスタの微細化、そして、トランジスタの高性能化を阻害するという課題があった。

【課題を解決するための手段】

[0010]

N型ポリシリコンゲート及びP型ポリシリコンゲートが同時に配置される半導体装置において、ポリシリコンゲートエッチングのためにノンドープポリシリコンによるダミーゲートを配置し、N型ポリシリコンゲート及びP型ポリシリコンゲートの総面積よりも多い面積を占めるようにした後にポリシリコンゲート電極のパターニングをおこなうようにしたものである。

【発明の効果】

$[0\ 0\ 1\ 1]$

本発明は、N型ポリシリコンゲートとP型ポリシリコンゲートの両者が混在して配置されるデバイスにおいて、ダミー電極であるノンドープポリシリコンゲートの面積をN型及びP型のドープポリシリコンゲートの全面積よりも多くすることにより、ポリシリコンゲートのエッチングをノンドープ領域で律速するように制御し、N型ポリシリコンゲート及びP型ポリシリコンゲートのエッチング寸法の寸法差を少なくすることを可能にしたものである。その結果、N型及びP型ポリシリコンゲートを有するデバイスの微細化、高性能化が可能となり、信頼性の高いLSIの実現が可能となる。

【発明を実施するための最良の形態】

$[0\ 0\ 1\ 2]$

第1の実施の形態を説明する。シリコン基板 1 上に図示はしないがゲート絶縁膜を形成後、ゲート電極となるポリシリコン層 2 を堆積させる。次に、レジスト 3 のパターニングを行ない、N型チャンネルトランジスタゲートを形成する領域 4 には、リン (P)イオン注入を (図 3 (a))、P型チャンネルトランジスタゲートを形成する領域 5 には、ボロン (B)イオンを選択的に注入する (図 3 (b))。このとき、ダミーゲート電極領域 6 には不純物の注入は行なわれない。続いて、リソグラフィ技術によりパターニングを行ない、ダミーゲート電極領域 6 のノンドープポリシリコン及びドープポリシリコン領域 4 , 5 のエッチングを行ってゲート電極を形成する (図 3 (c))。

$[0\ 0\ 1\ 3]$

そして、例えば、化学機械研磨行なう場合、研磨量ばらつきを低減するために、一般的にダミーパターンが配置されるが、ダミーゲートパターンをマスク上に配置する際に、ノンドープポリシリコンのダミーゲートパターンの割合が、ドープポリシリコンのダミーゲートパターンの割合よりも多くなるように設定する。その結果、ゲート電極エッチング時におけるメインステップでの終点検出が、ノンドープポリシリコンのエッチングにより律速され、ゲート電極エッチング時のエッチングレートはほぼノンドープポリシリコンであるダミーゲートによって決まってしまうように設定可能となる。

[0014]

ポリシリコン層に全面イオン注入を行った後、従来技術と同様のエッチング条件によりポリシリコン層をエッチングし、エッチングレートを測定した。Pイオンを5E15cm-2個イオン注入した場合、ポリシリコンのエッチング終点検出は35秒で行われるのに対し、Bイ



オンを5E15cm-2個イオン注入した場合は、同一エッチング条件下での終点検出には55秒の時間を要している。イオン注入を行わないノンドープポリシリコンの場合は45秒で終点検出され、イオン注入によってエッチングレートが大きく変化していることがわかる。

[0015]

この現象は、N型ポリシリコンゲート領域のエッチング終点検出時点においては、P型ポリシリコンゲート領域のポリシリコン層のエッチングは終了しておらず、次のステップである高圧のオーバエッチングにおいて残存するポリシリコン層がエッチングされ、図2に示したように、P型領域のポリシリコン層がテーパ形状になることによって起こるためである。そのため、終点検出時間をノンドープポリシリコン領域のエッチングレートで決定される時間まで延ばすことによって、P型領域のテーパ量を減少させることができ、イオン種による寸法差を低減できる。

[0016]

なお、P型領域のテーパ量を減少させるためのオーバエッチング時に、N型領域のポリシリコン層に過剰なエッチングが加わるが、ポリシリコンゲート側壁にはエッチングに使用するHBrガスとの反応生成物が堆積するため、横方向へのサイドエッチングは進行せず、オーバエッチング時のN型領域のゲート寸法の変化は少ない。

【図面の簡単な説明】

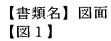
[0017]

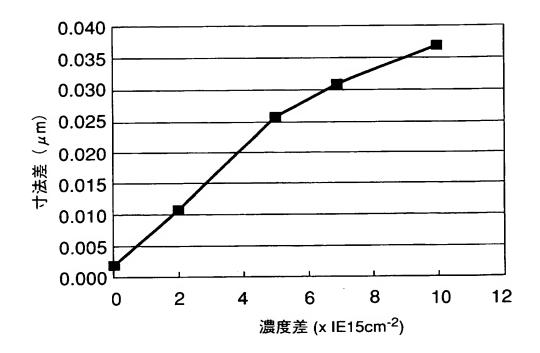
- 【図1】従来技術におけるゲート電極のドライエッチングの問題点を示す図である。
- 【図2】従来技術におけるゲート電極のドライエッチング形状を示す図である。
- 【図3】本発明の実施の形態を説明するためのドライエッチング工程断面図である。

【符号の説明】

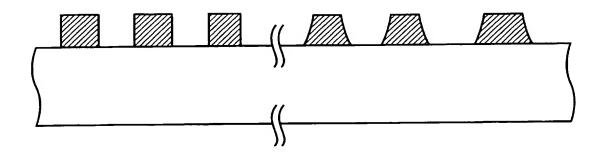
$[0\ 0\ 1\ 8]$

- 1 シリコン基板
- 2 ポリシリコン層
- 3 レジスト
- 4 N型トランジスタゲート領域
- 5 P型トランジスタゲート領域
- 6 ノンドープポリシリコン領域

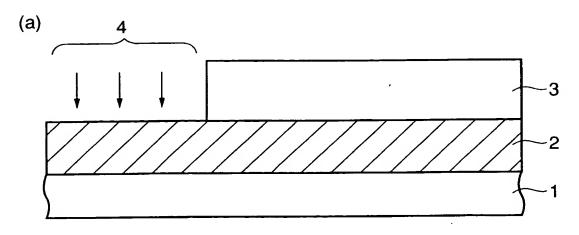


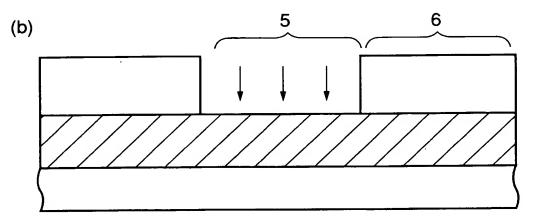


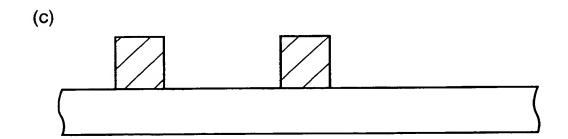
【図2】



【図3】









【書類名】要約書

【要約】

【課題】 N型ポリシリコンゲート及びP型ポリシリコンゲートの両ゲートが同時に配置された半導体装置のゲート寸法を制御よくエッチング形成する。

【解決手段】 N型ポリシリコンゲートとP型ポリシリコンゲートが配置されたデバイスにおいて、両ゲートを同時にエッチングする場合に、ダミー電極であるノンドープポリシリコンゲートの面積をN型及びP型のドープポリシリコンゲートの全面積よりも多くするように配置して、ドープポリシリコンよりもノンドープのポリシリコンが支配的になるようにして、ポリシリコンゲートをドライエッチングするようにした。

【選択図】 図3



認定・付加情報

特許出願の番号 特願2003-334784

受付番号 50301590268

書類名 特許願

担当官 第五担当上席 0094

作成日 平成15年 9月29日

<認定情報・付加情報>

【提出日】 平成15年 9月26日



出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社